

1/3/6 (Item 6 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

10/549447

JC05 Rec'd PCT/PTO 14 SEP 2005

010340013 **Image available**
WPI Acc No: 1995-242095/199532
XRAM Acc No: C95-111019
XRPX Acc No: N95-188709

Optical modulator and method of mfr. - in which edge breakdown is prevented and extinction characteristic and voltage resisting property are improved by varying carrier concn. in first clad layer and/or embedding structure

Patent Assignee: NEC CORP (NIDE)
Inventor: SHINJI T; TOMOAKI K; KOUJI T; TAKANO S
Number of Countries: 005 Number of Patents: 005
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 662627	A1	19950712	EP 94120145	A	19941219	199532 B
JP 7230067	A	19950829	JP 94223141	A	19940919	199543
US 5543957	A	19960806	US 94358622	A	19941214	199637
EP 662627	B1	19980722	EP 94120145	A	19941219	199833
DE 69411879	E	19980827	DE 611879	A	19941219	199840
			EP 94120145	A	19941219	

Priority Applications (No Type Date): JP 93319547 A 19931220

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 662627	A1	E	19	G02F-001/025	
Designated States (Regional): DE FR GB					
JP 7230067	A		10	G02F-001/025	
US 5543957	A		15	G02F-001/03	
EP 662627	B1	E		G02F-001/025	
Designated States (Regional): DE FR GB					
DE 69411879	E			G02F-001/025	Based on patent EP 662627

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-230067

(43)Date of publication of application : 29.08.1995

(51)Int.Cl.

G02F 1/025
H01S 3/18

(21)Application number : 06-223141

(71)Applicant : NEC CORP

(22)Date of filing : 19.09.1994

(72)Inventor : ATSUI OAKI
KITAMURA SHOTARO

(30)Priority

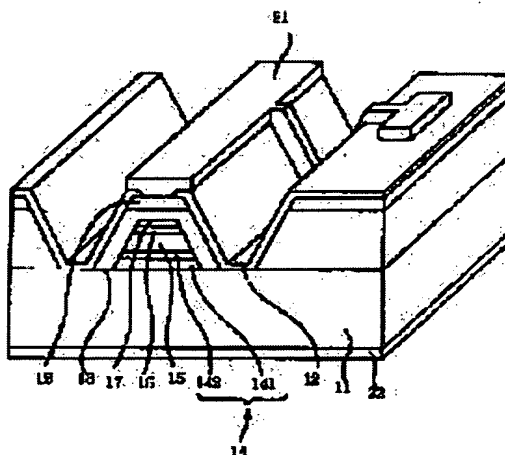
Priority number : 05319547 Priority date : 20.12.1993 Priority country : JP

(54) OPTICAL MODULATOR AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide the optical modulator which prevents an edge breakdown from occurring and is improved in extinction characteristic and breakdown strength.

CONSTITUTION: The optical modulator which has a double heterostructure including an oxide film 12 formed as a growth stopping film on a compound semiconductor substrate 11 of a 1st conductivity type, and a clad layer 14 of the 1st conductivity type, a light absorption layer 15, and a clad layer 17 of a 2nd conductivity type and a buried structure 19 covering the entirety continuously varies in the carrier density of the clad layer 14 of the 1st conductivity type from the semiconductor substrate 11 to the light absorption layer 15 or varies in the carrier density of the buried structure part 19 from a low density to a high density.



LEGAL STATUS

[Date of request for examination] 19.09.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2727979

[Date of registration] 12.12.1997

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-230067

(43) 公開日 平成 7 年 (1995) 8 月 29 日

(51) Int. Cl. ⁶

識別記号

F I

G02F 1/025

H01S 3/18

審査請求 有 請求項の数 7 O L (全10頁)

(21) 出願番号 特願平6-223141

(22) 出願日 平成 6 年 (1994) 9 月 19 日

(31) 優先権主張番号 特願平5-319547

(32) 優先日 平 5 (1993) 12 月 20 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 厚井 大明

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(72) 発明者 北村 昌太郎

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

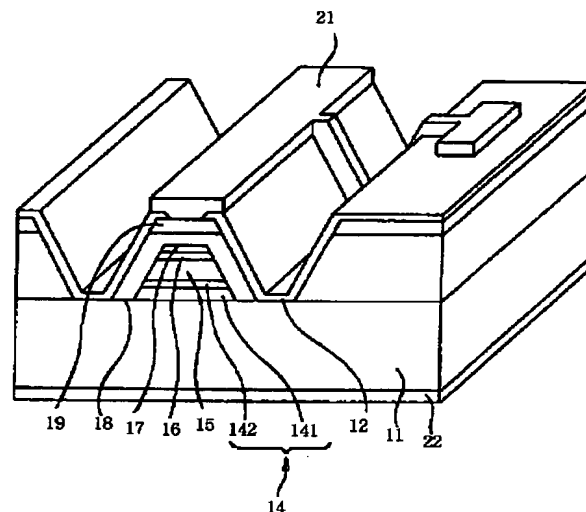
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 光変調器とその製造方法

(57) 【要約】

【目的】 エッジブレイクダウンの発生することが防止され、消光特性、耐圧が向上された光変調器を実現すること。

【構成】 第 1 導電型の化合物半導体基板上に成長阻止膜として形成された酸化膜と、前記酸化膜の開口部に順次形成された第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造と、全体を覆う埋め込み構造とを有する光変調器において、前記第 1 導電型クラッド層のキャリア濃度が、前記半導体基板から前記光吸収層にかけて連続的に変化し、または、埋め込み構造部のキャリア濃度が低濃度から高濃度へ変化する。



【特許請求の範囲】

【請求項 1】 第 1 導電型の化合物半導体基板上に成長阻止膜として形成された酸化膜と、前記酸化膜の開口部に順次形成された第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造と、全体を覆う埋め込み構造とを有する光変調器において、前記第 1 導電型クラッド層のキャリア濃度が、前記半導体基板から前記光吸収層にかけて連続的に変化していることを特徴とする光変調器。

【請求項 2】 第 1 導電型の化合物半導体基板上に成長阻止膜として形成された酸化膜と、前記酸化膜の開口部に順次形成された第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造と、全体を覆う埋め込み構造とを有する光変調器において、前記第 1 導電型クラッド層のキャリア濃度が、前記半導体基板から前記光吸収層にかけて段階的に変化していることを特徴とする光変調器。

【請求項 3】 請求項 1 または請求項 2 のいずれかに記載の光変調器において、前記化合物半導体基板は InP 基板であり、前記第 1 および第 2 導電型のクラッド層は InP クラッド層であり、前記光吸収層は InGaAsP 光吸収層であることを特徴とする光変調器。

【請求項 4】 第 1 導電型の化合物半導体基板上に成長阻止膜として形成された 1 対の酸化膜ストライプと、その開口部に順次形成された第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造のメサストライプと、該メサストライプ全体を覆う第 2 導電型の埋め込み構造を有する光変調器において、前記埋め込み構造部のキャリア濃度が低濃度から高濃度へ変化する 2 層構造であることを特徴とする半導体光変調器。

【請求項 5】 第 1 導電型の化合物半導体基板上に成長阻止膜として形成された 1 対の酸化膜ストライプと、その開口部に順次形成された第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造のメサストライプと、該メサストライプ全体を覆う第 2 導電型の埋め込み構造を有する光変調器において、前記埋め込み構造部のキャリア濃度が低濃度から高濃度へ変化する 2 層構造であり、さらに前記第 1 導電型クラッド層のキャリア濃度が段階的に変化することを特徴とする半導体光変調器。

【請求項 6】 第 1 導電型の化合物半導体基板上に成長阻止膜としての 1 対の酸化膜ストライプを形成する第 1 の工程と、その開口部に順次、第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造のメサストライプを選択成長により形成する第 2 の工程と、前記酸化膜ストライプの対向する内側を部分的に除去し

て前記半導体基板上の一部を露出させる第 3 の工程と、さらに該メサストライプ全体を覆う第 2 導電型埋め込み構造を選択成長により形成する第 4 の工程とを有する光変調器の製造方法において、前記第 4 の工程では埋め込み構造部のキャリア濃度が低濃度から高濃度へ変化するように形成することを特徴とする半導体光変調器の製造方法。

【請求項 7】 第 1 導電型の化合物半導体基板上に成長阻止膜としての 1 対の酸化膜ストライプを形成する第 1 の工程と、

その開口部に順次、第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造のメサストライプを選択成長により形成する第 2 の工程と、

前記酸化膜ストライプの対向する内側を部分的に除去して前記半導体基板上の一部を露出させる第 3 の工程と、前記メサストライプ全体を覆う第 2 導電型埋め込み構造を選択成長により形成する第 4 の工程とを有する光変調器の製造方法において、

前記第 4 の工程では埋め込み構造部のキャリア濃度が低濃度から高濃度へ変化するように形成するとともに第 2 の工程では前記第 1 導電型クラッド層のキャリア濃度が段階的に変化するように形成することを特徴とする半導体光変調器の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光変調器に関し、特に、半導体光変調器およびその製造方法に関する。

【0002】

【従来の技術】光通信技術を用いた超高速大容量伝送、及び、情報処理が急速に進展している。光通信においては半導体レーザ出力を変調することにより伝送が行われる。

【0003】しかし、1.5 μ m 帯、1Gbit/sec 以上の光伝送において半導体レーザを直接変調した場合には、活性層内のキャリア密度の変化に起因する屈折率の変化による波長シフト、いわゆる波長チャープングが起こるため、伝送距離が制限される。この影響を低減する方法として外部変調器が注目され、開発されている。

【0004】例えば、1993 年電子情報通信学会、春期大会講演番号 C-152 および特願平 3-067498 号公報に開示されるように、光吸収層にバルク半導体を用いて、フランツ-ケルディッシュ (F-K) 効果による吸収端変化を利用した電界吸収型バルク構造変調器がある。この光変調器は MOVPE (Metal Organic Vapor Phase Epitaxial) 選択成長技術を用いたリッジ型埋め込み構造とされており、半導体をエッチングすることがないために高均一、かつ高再現性の光変調器とすることが期待できる。この構造は図 9 (a) に示すように、

n 型 I n P 基板 5 1 の上に開口領域 5 3 を有する一対の S i O₂ ストライプマスク 5 2 を形成した後、図 9

(b) に示すように、開口領域 5 3 上に n 型 I n P クラッド層 5 4、I n G a A s P 光吸収層 5 5、p 型 I n P クラッド層 5 6 を MOVPE 法により選択成長させ、さらに、図 9 (c) に示すように、開口領域 5 3 を広げた後、図 9 (d) に示すように、p 型 I n P 埋め込み層 5 7 (キャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$)、p 型 I n G a A s キャップ層 5 8 を成長させたものである。その動作は、逆バイアス電圧を印加した際、F-K 効果により光吸収層の基礎吸収端近傍での光吸収曲線が長波長側 (低エネルギー側) にシフトし、レーザ光を消光するように動く。

【 0 0 0 5 】

【 発明が解決しようとする課題 】 光変調器は、消光特性を向上するために光吸収層 5 5 にかかる電界強度を強くし、波長シフト量を大きくする必要がある。そのため上記の構造を有する従来例では光吸収層 5 5 を挟む n 型 I n P クラッド層 5 4 および p 型 I n P クラッド層 5 6 のキャリア濃度を高くする (キャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$) ことで電界強度を強くしている。一方、素子容量低減のために n 型 I n P 基板 5 1 のキャリア濃度は $2 \times 10^{17} \text{ cm}^{-3}$ としている。そのため基板 5 1 と n 型 I n P クラッド層 5 4 との成長界面では濃度差が生じる。このとき、本素子に逆バイアス電圧を印加すると前述の成長界面ではキャリア濃度が異なることにより、図 1 0 に示すように空乏層の広がり異なるものとなって不連続部分が生じる。従来例の場合、n 型 I n P クラッド層 5 4 の空乏層幅 r は、 $5 \times 10^{17} \text{ cm}^{-3}$ では 640 \AA 、n 型 I n P 基板 5 1 の空乏層幅 R は $2 \times 10^{17} \text{ cm}^{-3}$ では 1210 \AA となり、約 600 \AA の差が生じる。そのため、空乏層幅が変化している部分でエッジブレイクダウンが起こり、耐圧が低下してしまうという問題点がある。

【 0 0 0 6 】 本発明の第 1 の目的は、このような問題点が解決された光変調器を実現することにある。

【 0 0 0 7 】 また、電界吸収型光変調器の動作原理は素子に逆バイアス電圧を印加するとバンド構造が影響を受け、基礎吸収端近傍での光吸収曲線が低エネルギー側 (長波長側) にシフトする現象 (フランツ-ケルディッシュ効果) を利用している。したがって、消光性能は光吸収層にかかる電界強度に起因している。電界強度を高めるには光吸収層を挟むクラッド層のキャリア濃度を十分に高くすることが必要になる。しかし、従来の構造ではオートドーピング (p 型ドーパントの Z n の拡散) によるリークパスによって耐圧が低下することを防ぐために、埋め込み層の高ドーパ型 I n P 層 5 7 のキャリア濃度を $5 \times 10^{17} \text{ cm}^{-3}$ より高くすることができなかった。このため前記高ドーパ型 I n P 層 5 7 での抵抗を小さくすることができず、逆バイアス電圧を印加した場合にはフォトカレントの影響による電圧降下が大きくな

のとなり、光吸収層 5 5 にかかる電界が弱くなって消光比が低下するという問題点があった。

【 0 0 0 8 】 また、 1 Gbit/sec 以上の高速応答を実現するためには素子容量を小さくする必要がある。しかし、消光特性を向上させるために前記埋め込み層の高ドーパ型 I n P 層 5 7 のキャリア濃度を高くすると、逆バイアス電圧を印加したときの前記埋め込み層の高ドーパ型 I n P 層 5 7 と前記 n 型 I n P 基板 5 1 とのホモ接合領域で広がる空乏層幅が狭くなり、素子容量が大きくなってしまいう問題点もあった。

【 0 0 0 9 】 本発明の第 2 の目的は、これらの問題を解決した光変調器を実現することにある。

【 0 0 1 0 】

【 課題を解決するための手段 】 本発明の第 1 の形態による光変調器は、第 1 導電型の化合物半導体基板上に成長阻止膜として形成された酸化膜と、前記酸化膜の開口部に順次形成された第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造と、全体を覆う埋め込み構造とを有する光変調器において、前記第 1 導電型クラッド層のキャリア濃度が、前記半導体基板から前記光吸収層にかけて連続的に変化していることを特徴とする。

【 0 0 1 1 】 本発明の第 2 の形態による光変調器は、第 1 導電型の化合物半導体基板上に成長阻止膜として形成された酸化膜と、前記酸化膜の開口部に順次形成された第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造と、全体を覆う埋め込み構造とを有する光変調器において、前記第 1 導電型クラッド層のキャリア濃度が、前記半導体基板から前記光吸収層にかけて段階的に変化していることを特徴とする。

【 0 0 1 2 】 上記の光変調器のいずれにおいても、前記化合物半導体基板は I n P 基板であり、前記第 1 および第 2 導電型のクラッド層は I n P クラッド層であり、前記光吸収層は I n G a A s P 光吸収層であってもよい。

【 0 0 1 3 】 本発明の第 3 の形態による光変調器は、第 1 導電型の化合物半導体基板上に成長阻止膜として形成された 1 対の酸化膜ストライプと、その開口部に順次形成された第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造のメサストライプと、該メサストライプ全体を覆う第 2 導電型の埋め込み構造を有する光変調器において、前記埋め込み構造部のキャリア濃度が低濃度から高濃度へ変化する 2 層構造であることを特徴とする。

【 0 0 1 4 】 本発明の第 4 の形態の光変調器は、第 1 導電型の化合物半導体基板上に成長阻止膜として形成された 1 対の酸化膜ストライプと、その開口部に順次形成された第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造のメサストライプと、該メサストライプ全体を覆う第 2 導電型の埋め込み構造を有する光変調器において、前記埋め込み構造部の

キャリア濃度が低濃度から高濃度へ変化する 2 層構造であり、さらに前記第 1 導電型クラッド層のキャリア濃度が段階的に変化することを特徴とする。

【0015】本発明の第 1 の形態による半導体光変調器の製造方法は、第 1 導電型の化合物半導体基板上に成長阻止膜としての 1 対の酸化膜ストライプを形成する第 1 の工程と、その開口部に順次、第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造のメサストライプを選択成長により形成する第 2 の工程と、前記酸化膜ストライプの対向する内側を部分的に除去して前記半導体基板上の一部を露出させる第 3 の工程と、さらに該メサストライプ全体を覆う第 2 導電型埋め込み構造を選択成長により形成する第 4 の工程とを有する光変調器の製造方法において、前記第 4 の工程では埋め込み構造部のキャリア濃度が低濃度から高濃度へ変化するように形成することを特徴とする。

【0016】本発明の第 2 の形態による半導体光変調器の製造方法は、第 1 導電型の化合物半導体基板上に成長阻止膜としての 1 対の酸化膜ストライプを形成する第 1 の工程と、その開口部に順次、第 1 導電型のクラッド層、光吸収層、第 2 導電型のクラッド層を含むダブルヘテロ構造のメサストライプを選択成長により形成する第 2 の工程と、前記酸化膜ストライプの対向する内側を部分的に除去して前記半導体基板上の一部を露出させる第 3 の工程と、前記メサストライプ全体を覆う第 2 導電型埋め込み構造を選択成長により形成する第 4 の工程とを有する光変調器の製造方法において、前記第 4 の工程では埋め込み構造部のキャリア濃度が低濃度から高濃度へ変化するように形成するとともに第 2 の工程では前記第 1 導電型クラッド層のキャリア濃度が段階的に変化する

【0017】

【作用】本発明の第 1 の形態または第 2 の形態によるものにおいては、第 1 導電型クラッド層のキャリア濃度が、前記半導体基板から前記光吸収層にかけて連続的または段階的に変化しているために基板とクラッド層の接合部分における各層の空乏層幅をほぼ等しいものとすることができるので、エッジブレイクダウンが起こることが少なくなるとともに耐圧が向上する。

【0018】本発明の第 3 および第 4 の形態によるものにおいては、埋め込み構造部のキャリア濃度が低濃度から高濃度へ変化する 2 層構造とされているので、埋め込み構造部の抵抗が低いものとなり、光吸収層にかかる電界が大きくなり、消光特性が向上する。

【0019】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0020】第 1 の実施例

図 1 は本発明の光変調器の第 1 の実施例の構成を示す斜視図であり、図 2 は本発明の第 1 の実施例の製造工程を

示す断面図である。

【0021】図 1 に示す光変調器は、n 型 InP 基板 11 と、SiO₂ ストライプマスク 12 と、n 型 InP クラッド層 141 および n 型 InP クラッド層 142 よりなる n 型 InP クラッド層 14 と、アンドープ InGaAsP 光吸収層 15 と、アンドープ InGaAsP スペーサ層 16 と、p 型 InP クラッド層 17 と、p 型 InP 埋め込み層 19 と、p 型 InGaAs キャップ層 20 と、p 電極 21 と、n 電極 22 とから構成されている。なお、図 1 中、18 は開口領域を示している。

【0022】本実施例の光変調器では、n 型 InP クラッド層 141 のキャリア濃度が連続的に変化している。

【0023】本実施例の光変調器の構造を、その製造方法とともに、さらに詳細に説明する。

【0024】まず、図 2 (a) に示すように、n 型 InP 基板 11 (キャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$) 上に、幅 1.5 μm の開口領域 13 を有する厚さ 3500 Å の SiO₂ である一対のストライプマスク 12 を熱 CVD 法により形成する。

【0025】次に、図 2 (b) に示すように、開口領域 13 に、厚さ 700 Å でキャリア濃度が $2 \times 10^{17} \text{ cm}^{-3}$ から $5 \times 10^{17} \text{ cm}^{-3}$ に連続的に変化する n 型 InP クラッド層 141 と、厚さ 300 Å でキャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$ の n 型 InP クラッド層 142 と、厚さ 2500 Å のアンドープ InGaAsP である光吸収層 (波長組成 1.46 μm) 15 と、厚さ 500 Å のアンドープ InGaAsP であるスペーサ層 16 と、厚さ 1000 Å でキャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ の p 型 InP であるクラッド層 17 を MOVPE 法により順に選択成長させる。クラッド層 141 とクラッド層 142 とで、n 型 InP クラッド層 14 を構成している。

【0026】次に、図 2 (c) に示すように、選択成長領域の両側の SiO₂ ストライプマスク 12 を約 2 μm ずつ化学エッチングにより広げ、開口領域 18 を形成する。

【0027】次に、図 2 (d) に示すように、p 型 InP 埋め込み層 19 (キャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$) を厚さ 1.2 μm (p 型 InP クラッド層 17 の上からの厚さ)、p 型 InGaAs キャップ層 20 を厚さ 0.2 μm 、MOVPE 法により選択成長する。

【0028】以上の構成の光変調器における成長界面近傍での逆電圧印加時の空乏層の状態を図 3 に模式的に示す。図中の破線は、各領域での空乏層端を示している。本実施例では、n 型 InP クラッド層 14 のキャリア濃度を n 型 InP 基板 11 側から InGaAsP 吸収層 15 側にかけて連続的に高くしている。

【0029】逆バイアス電圧をかけたときの n 型 InP クラッド層 14 の最下部での空乏層幅 r は、n 型 InP 基板 11 の上部での空乏層幅 R とほぼ等しくなる。そのため、空乏層広がり分布をなめらかにでき、従来技術

で示した領域51と領域54(図10参照)との成長界面でのブレークダウンを防ぎ、高耐圧を得ることができる。

【0030】この結果、従来の耐圧は5~6Vであったが、本実施例に基づいて試作した光変調器では10V以上の高耐圧が得られた。

【0031】一方、n型InPクラッド層14は光吸収層15に隣接する領域において十分高いキャリア濃度に行っているため、吸収層の電界強度の低下はごく僅かで、消光特性は劣化しなかった。

【0032】第2の実施例

図4は本発明の光変調器の第2の実施例の構成を示す断面図である。

【0033】本実施例と第1の実施例と異なる点は、n型InPクラッド層241のキャリア濃度を3段階に変化させていることにある。例えば、 $2 \times 10^{17} \text{ cm}^{-3}$ (厚さ300Å)のn型InPクラッド層251、 $3 \times 10^{17} \text{ cm}^{-3}$ (厚さ200Å)のn型InPクラッド層252、 $4 \times 10^{17} \text{ cm}^{-3}$ (厚さ200Å)のn型InPクラッド層253の3段階に形成し、キャリア濃度を段階的に変化させることで第1の実施例と同様、エッジブレークダウンを抑制することができ、高耐圧が得られた。このように、第1の実施例では領域141のキャリア濃度を連続的に変化させているが、段階的に変化させても同様な効果が得られた。なお図4において、242はキャリア濃度が一定のn型InPクラッド層であり、クラッド層241とクラッド層242とで、n型InPクラッド層24を構成している。

【0034】以上の2つの実施例では、n型基板上での例を示したが、p型基板上に形成したデバイスにおいても同様な効果が期待できる。

【0035】第3の実施例

図5は本発明の光変調器の第3の実施例の構成を示す斜視図であり、図6は本発明の第3の実施例の製造工程を示す断面図である。

【0036】図5に示す光変調器は、n型InP基板511と、SiO₂ストライプマスク512と、n型InPクラッド層514と、アンドープInGaAsP光吸収層515と、アンドープInGaAsPスペーサ層516と、p型InPクラッド層517と、p型InP埋め込み層5191およびp型InP埋め込み層5192よりなるp型InP埋め込み層519と、p型InGaAsキャップ層520と、p電極521と、n電極522とから構成されている。

【0037】本実施例の光変調器では、p型InP埋め込み層5191のキャリア濃度はp型InP埋め込み層5192のキャリア濃度に比べて低濃度になっている。

【0038】本実施例の光変調器の構造について図6を参照し、その製造方法とともにさらに詳細に説明する。

【0039】まず、図6(a)に示すように、n型In

P基板511(キャリア濃度 $2 \times 10^{17} \text{ cm}^{-3}$)上に幅1.5μmの開口領域513を有する厚さ3500ÅのSiO₂である一対のストライプマスク512を熱CVD法により形成する。

【0040】次に、図2(b)に示すように開口領域513に、厚さ1000Åでキャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$ のn型InPクラッド層514と、厚さ2500ÅのアンドープInGaAsPである光吸収層(波長組成1.470μm)15と、厚さ500ÅのアンドープInGaAsPであるスペーサ層16と、厚さ1000Åでキャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$ のp型InPクラッド層17とを、MOVPE法により順に選択成長させる。

【0041】次に、図2(c)に示すように、上記、選択成長領域の両側のSiO₂ストライプマスク512を約2μmずつ化学エッチングにより除去し、開口領域518を形成する。

【0042】次に、図2(d)に示すように、厚さ0.3μm(p型InPクラッド層517の上からの厚さ)のp型InPである埋め込み層5191(キャリア濃度 $1 \times 10^{17} \text{ cm}^{-3}$)と、厚さ0.9μmのp型InPである埋め込み層5192(キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$)と、厚さ0.2μmのp型InGaAsであるキャップ層20とをMOVPE法により順に選択成長させる。

【0043】上記のように構成される本実施例の動作原理について図7を参照して説明する。図3(a)は本実施例の構成を示す断面図であり、図3(b)は、その等価回路を示す図である。

【0044】素子全体に逆バイアス電圧をかけたとき回路全体にフォトカレントILが流れる。本発明ではp型InP埋め込み層19のキャリア濃度をホモ接合部23から空乏層の広がる範囲程度の厚さを $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度とし(埋め込み層5191)、上部を $1 \times 10^{18} \text{ cm}^{-3}$ の高濃度とした(埋め込み層5192)。こうすることで前記埋め込み層519の抵抗を低くすることができ、電圧降下が小さくなるため、光吸収層、15にかかる電界を大きくすることができる。その結果、消光特性を大幅に向上することが期待できる。実際、従来の消光比は7~8dBであったが、本発明に基づいて試作した光変調器では15dB以上の高消光比が得られた。

【0045】一方、ホモ接合部523近傍のキャリア濃度を低くしていることから空乏層の広がりを比較的滑らかなものとすることができる。このことにより耐圧特性に対しても良好な結果が期待でき、更にダブルヘテロ構造部両側のホモ接合部523の容量Cも低減でき(従来例と比較して約30%小さくなる)、このことから素子全体のCR時定数を小さくし、高速応答が可能になる。

【0046】以上のことから本発明により消光比が高く、かつ高速で動作する素子を実現できることができ

る。

【0047】第4の実施例

図8は本発明の第4の実施例の構成を示す断面図である。本実施例が第3の実施例と異なる点は、第3の実施例におけるn型InPクラッド層514のキャリア濃度を段階的に変えていることにある。具体的には、開口領域513上(図5参照)に形成されるn型InPクラッド層814を、厚さ700Åでキャリア濃度が $2 \times 10^{17} \text{ cm}^{-3}$ から $5 \times 10^{17} \text{ cm}^{-3}$ に連続的に変化するn型InPクラッド層8141、厚さ300Åでキャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ のn型InPクラッド層8142とが積層されたものとしている。この他の構成は図5に示した第3の実施例と同様であるために図5と同じ番号を付して説明は省略する。

【0048】本実施例の特徴は、第3の実施例に示される消光特性が向上された素子に、さらにn型InPクラッド層814のキャリア濃度を段階的に変化させることで耐圧の向上を実現している点にある。n型InPクラッド層814と基板811との成長界面での空乏層の広がりキャリア濃度の濃度勾配により滑らかになり、この部分でのブレイクダウンが抑制され、高耐圧な素子が実現できる。実際、従来の耐圧は6~8Vであったが、本実施例に基づいて試作した光変調器では10V以上の高耐圧が得られた。一方、n型InPクラッド層814の光吸収層815に隣接する部分(n型InPクラッド層8142)は十分に高いキャリア濃度($5 \times 10^{17} \text{ cm}^{-3}$)になっているため、吸収層815にかかる電界強度としては低下することがなく、これにより高い消光比を保つことができる。

【0049】ここでは、キャリア濃度を限定しているが、特に限定する必要はなく、既述のように、キャリア濃度を段階的に変化させる構造であれば同様な効果が期待できる。また、ここでは、n型基板上での実施例を示したが、p型基板上に形成したデバイスにおいても同様な効果が期待できる。

【0050】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載するような効果を奏する。

【0051】請求項1乃至請求項3に記載のものにおいては、n型InPクラッド層のキャリア濃度を連続的または段階的に変化させることで、成長界面での空乏層の広がりを滑らかにできブレイクダウンが発生することを防ぐことができる効果がある。

【0052】さらに、耐圧向上により、突発的な素子劣化の発生もなくなり、信頼度の高い素子を実現することができる効果がある。

【0053】請求項4に記載のものにおいては、p型InP埋め込み層のキャリア濃度を段階的に変化させることで、この部分での電圧降下を小さくして光吸収層にかかる電界を大きくすることができ、消光特性を向上する

ことができる効果がある。実際、従来の消光比は7~8dBであったが、本発明に基づいて試作した光変調器では15dB以上の高消光比が得られた。

【0054】請求項5に記載のものにおいては上記効果に加えて、n型InPクラッド層のキャリア濃度を段階的に変化させることで基板との成長界面でのブレイクダウンを防ぐことができ、高耐圧のものとすることができる効果がある。実際、従来の耐圧は6~8Vであったが、本実施例に基づいて試作した光変調器では10V以上の高耐圧が得られた。

【0055】請求項6および請求項7に記載の各方法においては、上記効果を奏する光変調器を作製することができる効果がある。

【0056】以上のように本発明により動作電圧、所要消光比に対して特性に余裕ができ、一方、本発明により素子容量の低減も実現できたため応答特性にも有効で、信頼度の高い素子を実現することができる。

【0057】本発明の内容は、光源レーザとの集積型素子を含む、選択成長技術を用いた素子全般に対して有効である。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す斜視図である。

【図2】(a)~(d)のそれぞれは、本発明の第1の実施例の製造工程を示す断面図である。

【図3】本発明の第1の実施例における成長界面近傍での逆電圧印加時の空乏層の状態を模式的に示す図である。

【図4】本発明の第2の実施例の構成を示す断面図である。

【図5】本発明の第3の実施例の構成を示す斜視図である。

【図6】本発明の第3の実施例の製造工程を示す断面図である。

【図7】本発明の第3の実施例の動作原理を説明するための図である。

【図8】本発明の第4の実施例の構成を示す断面図である。

【図9】(a)~(d)のそれぞれは、従来技術による製造工程を示す断面図である。

【図10】従来技術の問題点を説明するための図である。

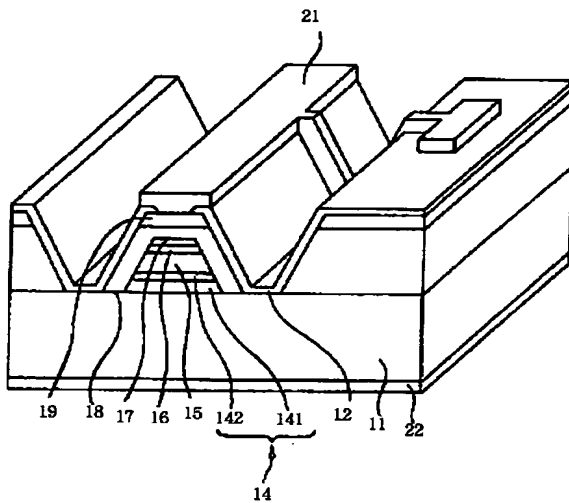
【符号の説明】

- 11 n型InP基板
- 12 SiO₂ストライプマスク
- 13 開口領域
- 14 n型InPクラッド層
- 141 n型InPクラッド層
- 142 n型InPクラッド層
- 15 アンダーブInGaAsP光吸収層

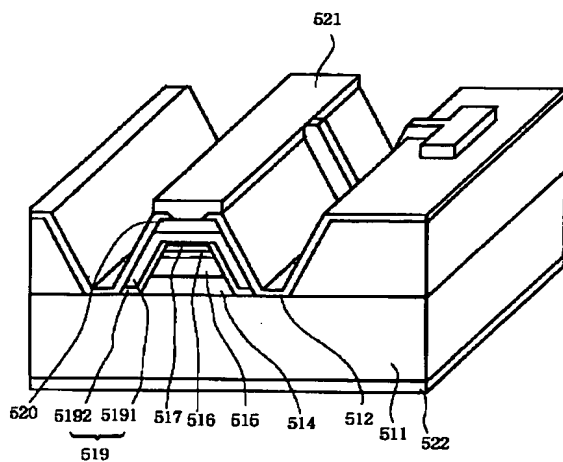
11

- 16 アンダーインGaAsPスペーサ層
 17 p型InPクラッド層
 18 開口領域
 19 p型InP埋め込み層
 191 p型InP埋め込み層
 192 p型InP埋め込み層
 20 p型InGaAsキャップ層
 21 p型電極
 22 n型電極
 519 埋め込み層
 5191 埋め込み層
 5192 埋め込み層

【図1】



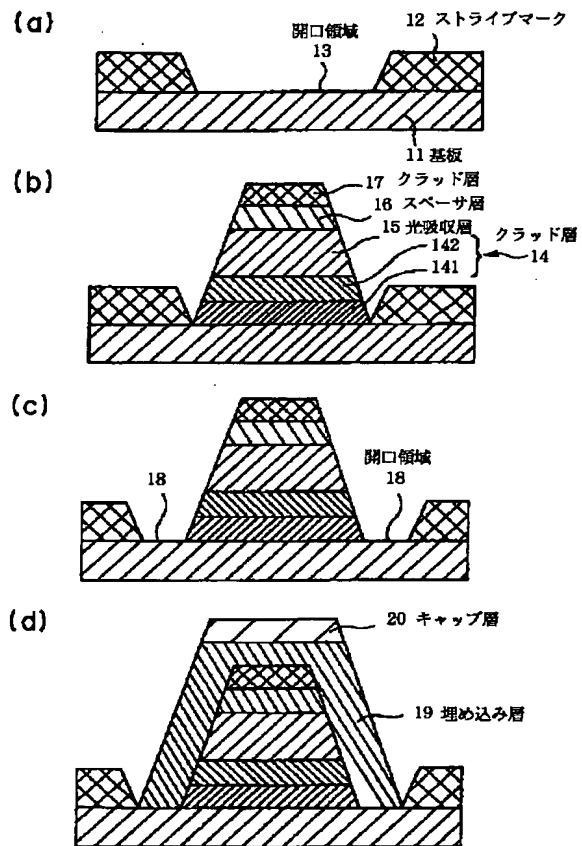
【図5】



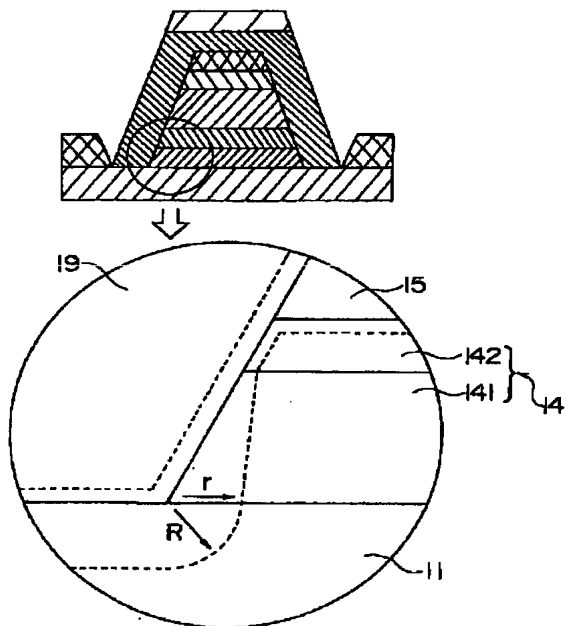
12

- 523 ホモ接合領域
 551 n型InP基板
 552 SiO₂ストライプマスク
 553 開口領域
 554 n型InPクラッド層
 555 InGaAsP光吸収層
 556 p型InPクラッド層
 557 p型InP埋め込み層
 558 p型InGaAsキャップ層
 814 クラッド層
 8141 クラッド層
 8142 クラッド層

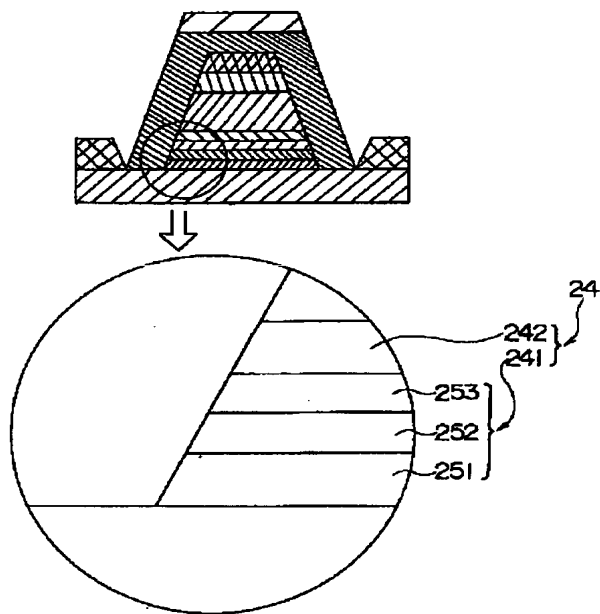
【図2】



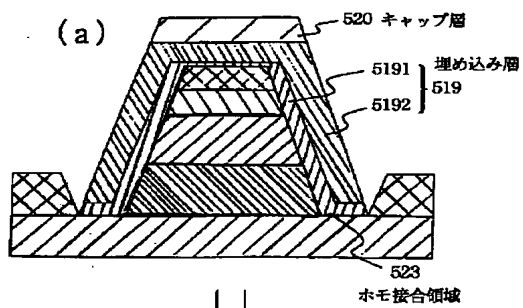
【図 3】



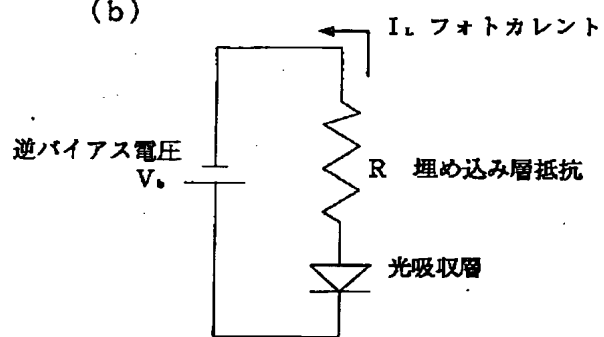
【図 4】



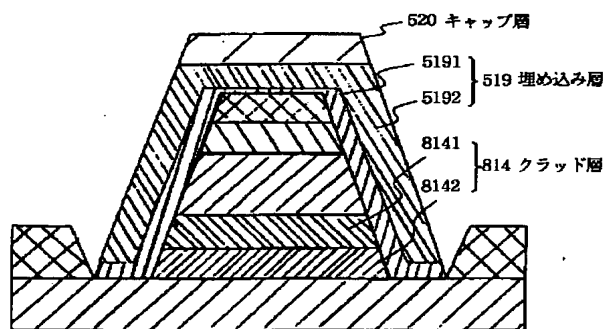
【図 7】



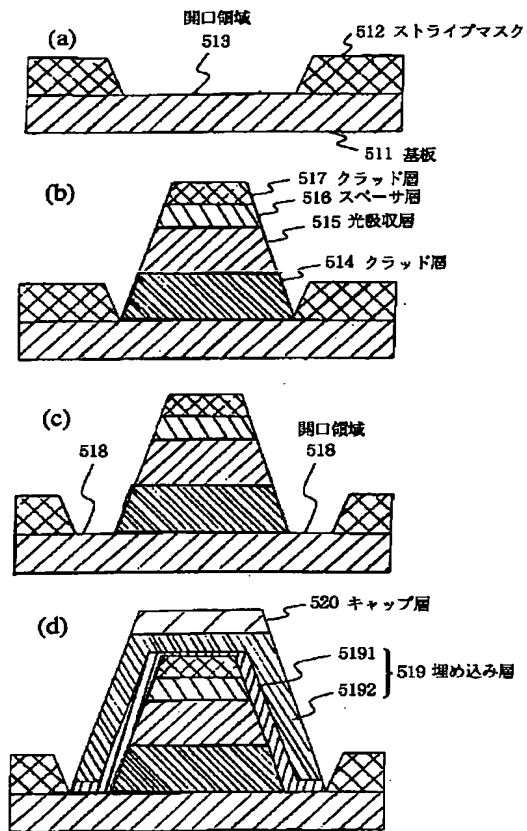
(b)



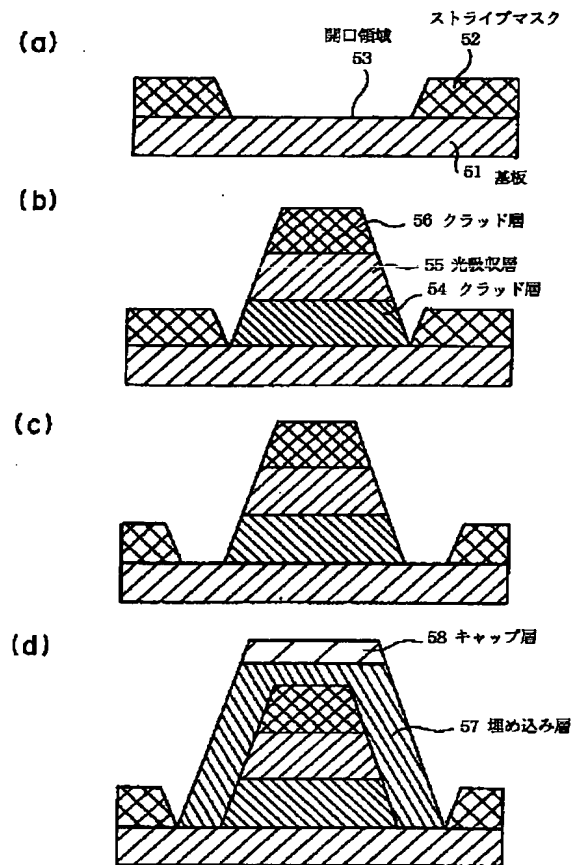
【図 8】



【図 6】



【図 9】



【図 1 0】

